دانشکده مهندسی

گروه برق

پایان‌نامه کارشناسی

گرایش: الکترونیک

عنوان : بررسی تکنیک های Low Power Design و استفاده از یکی از این روش ها برای یک مدار نمونه

استاد راهنما : دکتر شهرام محمدی

نگارش: سپیده اسدی

شهریور ۸۷

فهرست مطالب وضمائم:

چکیده ۱

مقدمه ۲

فصل ۱ : تقسیم بندی توان مصرفی در ترانزیستورها ۷

توان دینامیک ۸

توان سوئیچینگ ۸

توان اتصال کوتاه ۹

توان استاتیک ۱۰

توان نشتی معکوس ۱۰

توان Sub threshod leakage ۱۱

پا رامتر های موثر در توان مصرفی ۱۳

فصل ۲: تکنیک های ON Chip interconnect ۱۵

۲ _۱_تکنیک کا هش ولتاژسوئینگ ۱۶

۲_۲_تکنیک Bus-Invert Coding ۲۰

۲_۳_تکنیک فشرده سازی اطلاعات ۲۲

ارسال داده های صفر و یک به وسیله Level Signaling وTransition Signaling ۲۵

۲_۴_تکنیک LWC ۲۷

فصل ۳: تکنیک هایی که بر روی core ها پیاده سازی می شوند ۳۰

۳_ ۱_ تکنیک های در سطح ترانزیستور ۳۱

۳_۱_ ۱_ طراحی مدار های Multi-threshold voltage ($Multi\text{-}V_{th}$) ۳۲

۳ _۱_ ۲_ طراحی مدارهای Multi-V_{DD} voltage ۳۵

مشکلات تکنیک Multi-V_{DD} ۳۶

۳_ ۲تکنیک های سطح گیت ۳۸

۳ _۲_۱ تکنولوژی Decomposition and Mapping ۳۹

اثر Technology Decomposition and Mapping بر performance ۴۲

تخمین احتمال تغییرات سیگنال ها ۴۳

انتشار احتمالات ۴۵

۳_ ۳ _ ترکیب تکنیک سطح گیت و ترانزیستور ۴۶

۳_۳_۱_تکنیک input Reordering (activity Postponement) ۴۶

فصل ۴: پیاده سازی و شبیه سازی چند تکنیک از تکنیک های Low Power Design ۵۱
۴_۱جریان اتصال کوتاه در مدارات دیجیتال ۵۲
۴_۲activity Postponement ۵۶
فصل ۵: جمع بندی و پیشنهادات ۵۹
مراجع ۶۵

چکیده

درتکنولوژی جدید استفاده از قطعات دیجیتالی مانند تلفن همراه و کامپیوتر های قابل حمل و ... واز طرفی دیگر مسئله ی افزایش طول عمر قطعات الکترونیکی و برخی مسائل دیگر، سبب شده اند که مسئله ی کاهش توان مصرفی در مدارات دیجیتال، موضوع تحقیقات گسترده ای در این زمینه گردد.

لذا در سال های اخیر تحقیقات گسترده ای در زمینه کاهش توان مصرفی در مدارات دیجیتال انجام شده است. این تحقیقات بر روی تمام مراحل تولید قطعات دیجیتال انجام می گیرد که گستره ی آن از طراحی تا ساخت را شامل می شود.

با توجه به اهمیت موضوع، در این پایان نامه سعی شده است، با مطالعه ای بر روی تحقیقات انجام شده در این رابطه، یک مجموعه ای گردآوری گردد تا به عنوان یک مرجع، قابل استفاده کسانی باشد که مایلند وارد این زمینه تحقیقاتی گردند. مشکلی که در هر زمینه ی نو می باشد، عدم جمع بندی مناسب مطالب برای محققان می باشد. تحقیقات در زمینه کاهش توان نیز از این قاعده مستثنی نمی باشد و متأسفانه علی رغم اهمیت موضوع هنوز مرجعی مناسب که بتوان برای شروع موضوع استفاده کرد وجود ندارد.

لذا در این پایان نامه، با طرح مسئله و بررسی پارامترهای موثر در توان مصرفی مدارات دیجیتال سعی شده است برخی از تکنیک های طراحی برای کاهش توان معرفی گردند تا برای کسانی که علاقه مند به این موضوع می باشند دید مناسبی در مورد این زمینه ارائه گردد.

در این پایان نامه با کمک روابط توان و پارامترهای موثر در آن، به معرفی برخی از تکنیک هایی پرداخته ایم که می توانند در کاهش توان مصرفی نقش بسزایی داشته باشند. انتخاب این تکنیک ها به نحوی بوده است که در عین سادگی تکنیک ها به خوانندگان دید مناسبی نسبت به موضوع ارائه دهد. همچنین سعی شده است تکنیک ها رابر اساس مرحله ی تولید و نوع توان کاهشی دسته بندی گردند تا پیوستگی متن رعایت گردد. با این که این تکنیک ها عموما در حیطه ی دیجیتال می باشند ولی قابل تعمیم به مدارات مخابراتی و آنالوگی و حتی مدارات قدرت نیزمی باشند و انتخاب حوزه ی دیجیتال صرفا به خاطر آشنایی تمام شاخه های برق با این حیطه می باشد.

در نهایت با پیاده سازی برخی از این تکنیک ها و شبیه سازی آنها بر روی مدارات نمونه سعی شده است میزان اهمیت این تکنیک ها نشان داده شود.

کلمات کلیدي : توان مصرفي، طراحي براي کاهش توان، طراحي ديجيتال و پارامترهاي توان مصرفي.

مقدمه

امروزه دانش **Low power design** (طراحی برای توان مصرفی پایین) اهمیت بسیار زیادی در طراحی مدارات دیجیتال دارد که درابتدا به چند نمونه از مواردی که اهمیت موضوع را نشان می دهند، اشاره می شود: [1]

- در تکنولوژی جدید اکثر سیستم ها به طور مستقیم از برق شهر تغذیه نمی کنند بلکه از باطری های قابل شارژ تغذیه می کنند .مانند تلفن های همراه و کامپیوترهای قابل حمل و... . به همین دلیل اگر توان مصرفی را در سیستم کاهش دهیم ، مدت زمان بیشتری از باطری می توان استفاده کرد که این یک عامل مهم و اساسی برای طراحان دیجیتال بوده و باعث تحقیقات گسترده ای در این زمینه شده است.

- به مرور زمان چون تعداد عناصر داخلی مدارات مجتمع، در حال افزایش است، به تبعیت ازآن توان مصرفی هم چندین برابر می شود که باید روش هایی در طراحی مدارات استفاده گردند تا بتوانیم میزان توان مصرفی را کنترل کنیم ؛ که مهمترین نتیجه ی آن، کاهش توان ،افزایش کارایی[1] و سرعت مدار و همچنین افزایش قابلیت اطمینان و طول عمر مدار خواهد بود.

- دلیل دیگر هزینه ی بسته بندی [2] وخنک کننده[3] ها می باشد ؛ زیرا تمهیداتی که برای خنک سازی سیستم بکار می رود گاهی خیلی بیشتر از خود سیستم هزینه برتر می باشد.

- در مدارات الکتریکی هرچه دما بالاتر رود ، از سیم های حامل جریان، جریان بیشتری عبور می کند واین باعث کاهش طول عمر سیم ها می شود ودر نتیجه به مرور زمان قسمتی از مدار قطع می شود. حال مشکل اینجاست که با افزایش دما جریان عبوری از سیم ها افزایش می یابد که افزایش جریان، خود باعث تشدید افزایش دما می گردد. و در نتیجه احتمال پدیده ی مهاجرت[4] اتم ها بالاتر می رود. بالاتر بودن این احتمال، معادل است با پایین بودن ضریب اطمینان[5] سیستم ؛ پس برای جبران کاهش ضریب اطمینان ، مجبور به استفاده از تکنیک های دیگری در طراحی هستیم که در مقابل، باعث دادن پنالتی هایی به صورت افزایش حجم مدار و افزایش تأخیرهای مدار و کاهش کارایی مدار می شود.

---

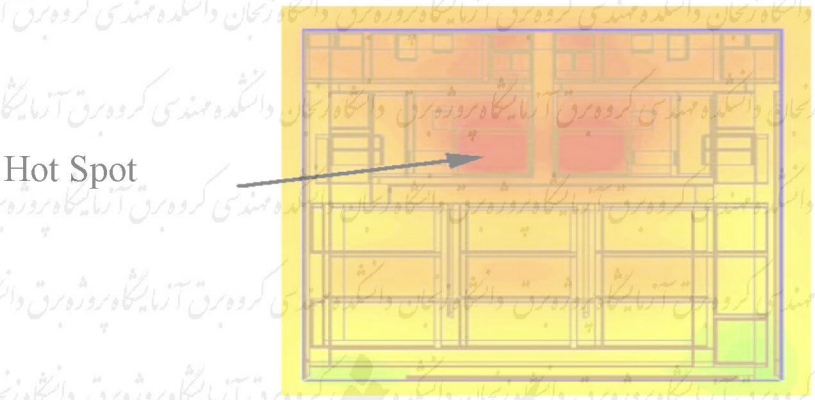
1 Performance
2 packaging
3 fan
4 immigration
5 Reliability

- در برخی موارد ، پس از آماده شدن IC ، موقع تست[1] کردن ،باعث می شود که IC بسوزد که به دلیل بالا بودن دما،این اتفاق رخ می دهد. برای توضیح بیشترمی توان گفت، وقتی که مدار در حالت عادی خود کار می کند، تغییرات سیگنالها شدید نمی باشد (یعنی به طور ماکزیمم در دو یا سه سیگنال، تغییر مقدار در بیت ها را خواهیم داشت) ولی در زمان تست کردن،قضیه کمی متفاوت می شود.در صنعت برای این که مدت زمان تست کردن مدار را کاهش دهند، از ورودی هایی استفاده می شود که میزان بیشتری از خطاها را پوشش دهند. چون در زمان تست کردن خود را محدود کرده ایم که از ورودی هایی استفاده کنیم که بیشترین مقدار خطا را تشخیص دهند، لذا در اکثر موارد سیگنالهای بیشتری از ورودی ها تغییر پیدا می کنند؛ به اصطلاح گویند **گذر**[2] سیگنال ها در مدارات افزایش می یابد.از طرفی در ادامه بحث، خواهیم گفت که تغییر سیگنال ها با توان مصرفی نسبت مستقیم و خطی دارند . بنابراین همواره در مواقع تست IC ،به دلیل بالا بودن تغییرات سیگنال ها ،توان اتلافی نیز بالا خواهد بود.که طراحان low power ایده هایی را برای تست قطعات ارائه می دهند.

- دلیل دیگر ، بحث Hot Spots در تراشه هامی باشد. اگر در **تراشه** ، یک قسمت بیشتر از قسمت دیگر داغ تر شود باعث می شود که تراشه تغییر شکل دهد یا خم شود که به این نوع گرم شدن شدید بعضی از قسمت های مدار Hot Spots گویند. برای جلوگیری از این اتفاق باید توزیع مصرف توان در تراشه یکنواخت باشد.

شکل 1_1، پدیده Hot Spots را بر روی یک تراشه نشان می دهد که با تغییر رنگ ها داغ شدن شدید یک نقطه مشخصاً دیده می شود.

[1] Test
[2] Transition



شکل ۱_۱: نمایش پدیده ی hot spot با تغییر رنگ بر روی یک تراشه

تکنیک های Low power Design بسته به زمینه ی مورد نظر هدف های مختلفی را دنبال می کنند که از جمله به موارد زیر می توان اشاره کرد[2] :

- کاهش انرژی لحظه ای
- کاهش متوسط انرژی (برای افزایش طول عمر باطری)
- کاهش توان لحظه ای[1] و پیک توان[2]
- روش هایی برای توزیع یکنواخت توان (چگالی توان[3]) که این عمل برای جلوگیری از Hot Spots موثر می باشد.

موانع بسیاری برای پیاده سازی تکنیک های low power وجود دارد که همواره باید تعادلی بین کاهش توان واین موانع برقرار کنیم.(این قانون در زندگی روزمره نیز وجود دارد یعنی برای بدست آوردن چیزی ،همیشه باید بهایی را پرداخت کنیم.) در اینجا به مهمترین این موانع اشاره می کنیم [3] :

۱) **کارایی**[4] : تکنیک هایی که برای طراحی low power استفاده می شوند عموماً با کاهش کارایی و سرعت مدار همراه هستند که ازجهات بسیاری می تواند برای طراحی Low Power، مشکل ایجاد کند؛ برای مثال فرض می کنیم یک کار مشخص در یک ثانیه توسط یک سیستم انجام می گیرد و 5^{MW} توان مصرف می کند. و یکبار دیگر با پیاده کردن تکنیک توان بر روی همان سیستم ، سیستم همان کار را در ۳ ثانیه انجام می دهد و در هر ثانیه 2^{MW} توان مصرف می کند که در اینجا با اینکه توان در هر

[1] Instantaneous Power
[2] Peak Power
[3] Power Density
[4] Performance

ثانیه کاهش یافت ولی در کل 6^{MW} مصرف توان داشتیم. که مشاهده می کنیم توان مصرفی کلی نه تنها کاهش نیافته،بلکه افزایش نیز یافته است و به ضرر ما تمام می شود. موضوع دیگری که مطرح است این است که برخی از تکنیک های کاهش توان با کاهش سرعت مدار نیز همراه هستند که بعدا در مورد آن تکنیک ها نیز اشاره خواهد شد پس کارایی یا بهره وری مدار یکی از موانع مهم در پیاده کردن تکنیکهای کاهش توان می باشد که همواره باید مورد توجه قرار گیرد.

۲) **قابلیت اطمینان**[1] : دومین مانع برای پیاده سازی تکنیک ها، ضریب اطمینان می باشد.که بیشتر در تکنیک هایی است که به صورت کد گذاری[2] هستند، مطرح می شود ؛ مثلاً در ارسال چند بایت به صورت پشت سر هم ، هر چه فاصله بیت های کدها قبل و بعدی، بیشتر باشد (یا distance Hamming زیاد باشد) ضریب اطمینان بالاتر می رود.در حالی که در low power عکس این قضیه مطرح می باشد و هرچه Hamming distance کمتر باشد بهتر است.

۳) مساحت[3] : مساحت از موانع دیگر در طراحی low power است . به ازای هر تکنیکی که برروی مدار پیاده می شود یک سری سخت افزار اضافی باید به سیستم اضافه شود که فضای بیشتری را اشغال می کند. و این فضای اضافی، خود به نوعی توان اضافی را مصرف می کند. همچنین یکی از پارامتر های طراحی، کاهش مساحت در حد ممکن است.

آنچه مسلم است این است که باید تکنیک هایی را به کار برد که ضمن اینکه به بهترین نحو توان را کاهش دهند، به محدودیت های اشاره شده نیز توجه داشته باشند و همواره یک مصالحه[4] ی معقولانه ای بین توان و موارد ذکر شده برقرار باشد.

ما دراین پایان نامه، در فصل اول ابتدا به تقسیم بندی و بررسی توان های مصرفی در مدارات دیجیتال می پردازیم سپس با استفاده از این دسته بندی ها به بررسی پارامترهای تاثیر گذار در توان مصرفی می پردازیم.و همچنین به معرفی روابطی خواهیم پرداخت که میزان تاثیرگذاری هر پارامتر را بیان می کنند.

در فصل دوم به معرفی چند نمونه از تکنیک های معروف On-chip Interconnects می پردازیم. که از میان آن ها تکنیک های کاهش ولتاژ سوئینگ، LWC، Bus Inverting و فشرده سازی اطلاعات خواهیم پرداخت.

---

[1] Reliability
[2] coding
[3] Area
[4] -trade_off

فصل سوم شامل تکنیک هایی است که بر خود بخش های منطقی[1] ، اعمال می شود؛ که از این نمونه به تکنیک های سطح **ترانزیستور**[2] وسطح گیت[3] و ترکیبی از این دو سطح ، اشاره خواهیم کرد.

در فصل چهارم با پیاده سازی برخی از این تکنیک ها و شبیه سازی آنها بر روی مدارات نمونه سعی شده میزان اهمیت این تکنیک ها نشان داده شود.

در فصول آخر نیز نتیجه گیری وپیشنهاداتی جهت ادامه ی کار ارائه خواهد شد.

[1] core

[2] - Circuit-Level Techniques

[3] - Gate-Level Techniques

فصل اول:

تقسیم بندی توان مصرفی در ترانزیستورها

دانشجویان محترم:

جهت دسترسی به متن کامل پایان نامه‌ها به کتابخانه دانشکده مهندسی و یا آزمایشگاه پروژه گروه برق مراجعه فرمایید.

فصل پنجم:

جمع بندی و پیشنهادات

مواردی مانند استفاده از ابزار های الکترونیکی که قابل حمل می باشند، افزایش عناصر تشکیل دهنده مدار که باعث افزایش توان مصرفی نیز می گردد، هزینه های خنک سازی مدار، **مسائلی مانند قابلیت اطمینان مدار، خرابی هایی که در زمان تست به وجود می آیند، Hot Spot و سایر مسائلی که امروز طراحان دیجیتال با آن روبرو شده اند، موجب شده است که بحث کاهش توان مصرفی مدارات دیجیتال امروزه به عنوان یکی از مباحث مهم تحقیقاتی در** زمینه مدارات الکترونیکی مطرح گردد.

لذا تکنیک های مختلفی معرفی شده اند که در زمینه کاهش توان می توانند موثر باشند. این تکنیک ها بر اساس هدف مورد نظر می توانند توان مصرفی را به صورت های زیر کاهش دهند:

کاهش انرژی لحظه ای

کاهش متوسط انرژی(برای افزایش طول عمر باطری)

کاهش توان لحظه ای و پیک توان

روش هایی برای توزیع یکنواخت توان (چگالی توان[1]) که این عمل برای جلوگیری از Hot Spots موثر می باشد.

ولی متاسفانه همانند سایر مسائلی که در طبیعت مطرح است برای رسیدن به هدفی که کاهش توان را دنبال می کند، هزینه هایی نیز باید صرف کرد. هزینه هایی که در کاهش توان مطرح هستند عمدتا شامل: Performance ، Reliability و Area می باشند.

برای اولین گام در زمینه ی وارد شدن به دنیای Low Power باید عوامل موثر در توان مصرفی را شناسایی کرد، برای این منظور می توان توان مصرفی را به دو گروه کلی تقسیم کرد. توان دینامیک که ناشی از تغییر سیگنال ها در مدار می باشد و توان استاتیک که در زمانی که هیچ تغییری در سیگنال ها وجود ندارد باز هم توانی مصرف می شود. این دو گروه خود نیز به زیر شاخه هایی تقسیم می شوند، برای نمونه توان دینامیک شامل توان سوئیچینگ و توان سوئیچینگ می باشد. رابطه ای که برای این دو توان می توان معرفی گرد به ترتیب به صورت زیر می باشند:

$$P_{SW} = \alpha C_L V_{DD}^2 f$$

[1] Power Density

$$P_{SC} = \frac{\beta}{12}(V_{DD} - 2V_t)^3 \cdot t_{rf} \cdot f$$

توان استاتیک نیز شامل Reverse leakage power با رابطه ی

$$P_{\mathrm{Re}verse} = V_{DD} \cdot A \cdot J_S$$

و توان Sub threshed leakage با رابطه ی

$$P_{SUB} = V_{DD} \cdot \beta(1-\eta)V_T^2 \exp(\frac{V_{GS} - V_{th}}{\eta V_T})[1 - \exp(-\frac{V_{DS}}{V_T})]$$

می باشد.

پس با توجه به روابط توان مصرفی، می توان نتیجه گرفت پارامترهای موثر در توان مصرفی عبارتند از :

Activity **یا میزان فعالیت سیگنال ها دریک سیکل کلاک،که با توان مصرفی رابطه مستقیم دارد.**

Rise time / fall time :**توان به مدت زمان** rising **و** falling **وابسته است؛هر چه این زمان ها کمتر باشد ،بهتر می شود.**

Transistor size ، **که یک عامل موثر در توان مصرفی و همچنین سرعت مدار می** باشد.می توان گفت هر چه اندازه ترانزیستور کاهش یابد، توان مصرفی افزایش می یابد ولی در عوض سرعت افزایش می یابد.

دما ؛با افزایش دما جریان زیاد می شود و با افزایش جریان ، دوباره دما افزایش می یابد و این وارد یک حلقه فیدبک مثبت می شود.فرکانس نیز رابطه مستقیم با توان دارد.

ولتاژ آستانه **Vth**، رابطه معکوس با جریان نشتی دارد؛هر چه **Vth** کمتر شود جریان نشتی افزایش می یابد. پیچیدگی طراحی و تکنولوژی ساخت و خازن بار نیز از دیگر عوامل موثر در توان مصرفی می باشند.

حال برای کاهش توان مصرفی می توان تکنیک هایی را معرفی کرد که با تغییردر پارامترهای موثر، توان مصرفی را کاهش داد. البته در اعمال این تکنیک ها باید دقت شود که هزینه ی اعمال تغییر از

محدودیت های طراحی بیرون نرود. به عبارت دیگر اگر در طراحی، طراح محدود به استفاده از یک فرکانس مشخص است، باید دقت شود که اعمال تکنیک مورد نظر موجب کاهش فرکانس مدار نگردد.

تلاش های بسیاری در زمینه معرفی تکنیک های موثر و بهینه شده است که در این پایان نامه به معرفی برخی از این تکنیک ها پرداخته ایم.

ما در این پایان نامه تمام سعی خود را کرده ایم که در معرفی تکنیک ها دید مناسبی به خواننده ارائه دهیم. برای نمونه یکی از تکنیک های بسیار موثر در کاهش توان، استفاده از منبع تغذیه با ولتاژ کمتر از V_{DD} در بخش هایی است که قرار است خازن بزرگی شارژ و دشاژ شود و یا قرار است سیگنال دارای Activity زیادی باشد. ایده ی اصلی در این تکنیک کاهش توان سوئیچینگ با کاهش ولتاژ منبع تغذیه است که در حقیقت توان را به صورت سهمی کاهش می دهد. البته این تکنیک باعث به وجود آمدن مشکلاتی مانند کاهش حاشیه امنیت سیگنال ها و افزایش توان استاتیک می گردد. پس در اعمال این تکنیک باید به صورت هوشمندانه برآوردی از هزینه داده شده نسبت به کاهشی که به دست می آید داشته باشیم.

ما برای اینکه بتوانیم درکی صحیح از این تکنیک ها داشته باشیم در بخش شبیه سازی و پیاده سازی پایان نامه، به بررسی برخی از این تکنیک ها در مدارات نمونه پرداخته ایم که، در عمل نیز تاثیر این تکنیک ها نشان داده شده است.

با توجه به مطالب بیان شده می توان نتیجه گرفت که مسائل مربوط به کاهش توان در مدارات تا کنون به عنوان یک مسئله قابل مطالعه است و نیاز به تحقیقات بیشتری در این زمینه ها است تا بتوان از طراحی های low power به صورت عملی در مدارهای دیجیتال استفاده کرد. لذا ما در این پروژه سعی کرده ایم قدمی در این زمینه برداریم تا پله ای از دامنه ی علم طی شود.

در پایان نیز با امید ادامه این تحقیقات، برخی پیشنهاداتی ارائه نموده ایم که می توانند زمینه ی بررسی بیشتری باشند.

پیشنهادات:

در روند انجام مطالعات مورد نیاز پایان نامه برخی ایده های قابل بررسی به ذهن رسید که متاسفانه به دلیل اینکه این پایان نامه در مقطع کارشناسی انجام شد و زمان محدود بود و همچنین نیاز به گردآوری منبعی جامع برای علاقه مندان آتی این زمینه، اساسی تر از این ایده ها احساس شد لذا به این ایده ها پرداخته نشد. امید است در تحقیقات آتی بتوان به آنها پرداخت. برخی از این ایده ها و موضوعات به شرح زیر می باشند:

- در طی تحقیقات انجام شده احساس می شد که میزان مطالعات بر روی Low Power Test در سال های اخیر بیشترین مطالب چاپی را در زمینه Low Power به خود اختصاص داده است که طبیعتاً می تواند زمینه ی مناسبی برای ادامه تحقیقات در این زمینه باشد.
- همچنین در حین شبیه سازی ها و پیاده سازی ها نیاز به ابزارهایی برای محاسبه ی توان مصرفی بسیار احساس می شد. از طرف دیگر آنچه از مطالب مورد مطالعه استنباط گردید نشان می داد که روش های تخمین در محاسبه ی توان دقیق نمی باشند و قابل بررسی بیشتری می باشند.
- یکی از ایده هایی که برای ما قابل تعمل بود، بررسی تکنیک های مربوط Interconnect ها در FPGA ها بود. زیرا این قطعات از اتصالات فراوانی تشکیل شده اند که دارای خازن بار نسبتا زیادی می باشند.
- همچنین در مورد FPGA پیشنهاد روش هایی در حین سنتز و استفاده از اتصالات اضافی برای کاهش Glitch به نظر قابل بررسی می باشد.
- عین سادگی تکنیک های کاهش توان در مدارات دیجیتال، موضوعی که می تواند مورد بررسی بیشتر گردد تطابق تکنیک های معرفی شده برای کاهش توان مدارات دیجیتال با دیگر شاخه های برق مانند الکترونیک آنالوگ و مخابرات می باشد.

[1] "The Future Is Low Power and Test" Williams, T.W.; European Test, 2008 13th
25-29 May 2008 Page(s):4 - 4

[2] "Low Power Techniques for a Mixed-Signal Circuit" Khalek, F.; Yusoff, Z.; Sulaiman, M.-S.; Integrated Circuits, 2007. ISIC '07. International Symposium on 26-28 Sept. 2007 Page(s):73 – 76

[3] "Design methodology of CMOS low power" Hao Dongyan; Zhang Ming; Zheng Wei; Industrial Technology, 2005. ICIT 2005. IEEE International Conference on 14-17 Dec. 2005 Page(s):114 – 118

[4] "Survey of low power techniques for VLSI design" De Angel, E.; Swartzlander, E.E., Jr.; Innovative Systems in Silicon, 1996. Proceedings., Eighth Annual IEEE International Conference on 9-11 Oct. 1996 Page(s):159 – 169

[5] "Current status and trends of CMOS low voltage low power wireless IC designs" Tsang, T.K.K.; El-Gamal, M.N.; Iniewski, K.; Townsend, K.; Haslett, J.; IEEE-NEWCAS Conference, 2005. The 3rd International 19-22 June 2005 Page(s):1 – 4

[6] "Low power CMOS digital circuit design methodologies with reduced voltage swing" Cheung, T.S.; Asada, K.; Yip, K.L.; Wong, H.; Cheng, Y.C.;
Microelectronics and VLSI, 1995. TENCON '95., IEEE Region 10 International Conference on 6-10 Nov. 1995 Page(s):311 – 314

[7] "A novel reduced swing CMOS bus interface circuit for high speed low power VLSI systems" Golshan, R.; Haroun, B.; Circuits and Systems, 1994. ISCAS '94., 1994 IEEE International Symposium on Volume 4, 30 May-2 June 1994 Page(s):351 - 354 vol.4

[8] "Approximate arithmetic coding for bus transition reduction in low power designs" Lekatsas, H.; Henkel, J.; Wolf, W.; Very Large **Scale**

Integration (VLSI) Systems, IEEE Transactions on Volume 13, Issue 6, June 2005 Page(s):696 – 707

[9] "IOC-LP: hybrid test data compression/ decompression scheme for low power testing" Chun, S.; Kim, Y.; Yang, M.-H.; Kang, S.; Circuits, Devices and Systems, IEE Proceedings - Volume 153, Issue 4, August 2006 Page(s):391 – 398

[10] "Interframe Bus Encoding Technique for Low Power Video Compression" Bahari, A.; Arslan, T.; Erdogan, A.T.; VLSI Design, 2007. Held jointly with 6th International Conference on Embedded Systems., 20th International Conference on Jan. 2007 Page(s):691 – 698

[11] "Low Power Oriented Test Modification and Compression Techniques for Scan Based Core Testing" Hayashi, T.; Ikeda, N.; Shinogi, T.; Takase, H.; Kita, H.; Test Symposium, 2006. ATS '06. 15th Asian Nov. 2006 Page(s):327 - 332

[12] "Low power test data compression based on LFSR reseeding" Jinkyu Lee; Touba, N.A.; Computer Design: VLSI in Computers and Processors, 2004. ICCD 2004. Proceedings. IEEE International Conference on 11-13 Oct. 2004 Page(s):180 – 185

[13] "Low power encoding schemes for run-time on-chip bus" Po-Tsang Huang; Wei Hwang; Circuits and Systems, 2004. Proceedings. The 2004 IEEE Asia-Pacific Conference on Volume 2, 6-9 Dec. 2004 Page(s):1025 – 1028

[14] "EZ encoding: a class of irredundant low power codes for data address and multiplexed address buses" Aghaghiri, Y.; Fallah, F.; PEdram, M.;
Design, Automation and Test in Europe Conference and Exhibition, 2002. Proceedings 4-8 March 2002 Page(s):1102

[15] "A Level-Encoded Transition Signaling Protocol for High-Throughput Asynchronous Global Communication" McGee, P.B.; Agyekum, M.Y.; Mohamed, M.A.; Nowick, S.M.;Asynchronous Circuits and

Systems, 2008. ASYNC '08. 14th IEEE International Symposium on 7-10 April 2008 Page(s):116 – 127

[16] "Low power encoding for VLSI and ECC duals" Stan, M.R.; Information Theory, 1998. Proceedings. 1998 IEEE International Symposium on 16-21 Aug. 1998 Page(s):19

[17] "Mixed multi-threshold differential cascode voltage switch (MT-DCVS) circuit styles and strategies for low power VLSI design" Chen, W.; Hwang, W.; Kudva, R.; Gristede, G.D.; Kosonocky, S.; Joshi, R.V.; Low Power Electronics and Design, International Symposium on, 2001. 6-7 Aug. 2001 Page(s):263 – 266

[18] "Switching-activity driven gate sizing and Vth assignment for low power design" Yu-Hui Huang; Po-Yuan Chen; TingTing Hwang; Design Automation, 2006. Asia and South Pacific Conference on 24-27 Jan. 2006 Page(s):6 pp.

[19] "Low power design using dual threshold voltage" Yen-Te Ho; Ting-Ting Hwang; Design Automation Conference, 2004. Proceedings of the ASP-DAC 2004. Asia and South Pacific 27-30 Jan. 2004 Page(s):205 – 208

[20] "Mixed-Vth (MVT) CMOS circuit design methodology for low power applications" Liqiong Wei; Zhanping Chen; Roy, K.; Yibin Ye; De, V.;
Design Automation Conference, 1999. Proceedings. 36th 21-25 June 1999 Page(s):430 – 435

[21] "Low power synthesis of dual threshold voltage CMOS VLSI circuits"
Sundararajan, V.; Parhi, K.K.; Low Power Electronics and Design, 1999. Proceedings. 1999 International Symposium on 1999 Page(s):139 – 14

[22] "Low power design with multi-Vdd and voltage islands (Abstract)" Wong, M.D.F.; ASIC, 2007. ASICON '07. 7th International Conference on
[23] "A low power scheduling method using dual V/sub dd/ and dual V/sub th/" Kun-Lin Tsai; Szu-Wei Chang; Feipei Lai; Shanq-Jang

Ruan; Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on 23-26 May 2005 Page(s):684 - 687 Vol. 1

[24] “Level-shifter free design of low power dual supply voltage CMOS circuits using dual threshold voltages” Diril, A.U.; Dhillon, Y.S.; Chatterjee, A.; Singh, A.D.; Very Large Scale Integration (VLSI) Systems, IEEE Transactions on Volume 13, Issue 9, Sept. 2005 Page(s):1103 – 1107

[25] “Technology Decomposition and Mapping Targeting Low Power Dissipation” Chi-Ying Tsui; Pedram, M.; Despain, A.M.; Design Automation, 1993. 30th Conference on 14-18 June 1993 Page(s):68 – 73

[26] “Low power combinational circuit synthesis targeting multiplexer based FPGAs” Satyanarayana, D.; Chattopadhyay, S.; Sasidhar, J.; VLSI Design, 2004. Proceedings. 17th International Conference on 2004 Page(s):79 – 84

[27] “Multi-level approaches to low power 16-bit ALU design” Beom Seon Ryu; Hyoung Sok Oh; Kie Hak Shim; Kie Young Lee; Tae Won Cho;
ASICs, 1999. AP-ASIC '99. The First IEEE Asia Pacific Conference on 23-25 Aug. 1999 Page(s):158 – 161