دانشگاه زنجان
دانشکده فنی و مهندسی

گروه برق

گرایش: الکترونیک

پایان نامه کارشناسی

عنوان: بررسی وطراحی مدارات لازم برای خودآزمونی تراشه های FPGA

استاد راهنما: دکتر شهرام محمّدی

نگارش: سیدناصر موسوی

شهریور ۸۸

فهرست مطالب

فصل اول: معرفی ۱

۱-۱ ساختار FPGA ۲

۱-۲ BIST ۳

۱-۳ BIST برای FPGA ۴

۱-۴ FPGA های Virtex-4 ..... ۶

۱-۵ شرح پایان‌نامه ۶

فصل دوم: پیش‌زمینه ۸

۲-۱ ساختار FPGA ۸

۲-۱-۱ مرور ۸

۲-۱-۲ حافظه ساختاری ۹

۲-۱-۳ ساختار PLB ۱۰

۲-۱-۴ شبکه اتصال‌دهنده قابل برنامه‌ریزی ۱۱

۲-۲ ساختار Virtex-4 ..... ۱۴

۲-۲-۱ مرور کلی بر ساختار Virtex-4 ..... ۱۴

۲-۲-۲ ساختار PLB در Virtex-4 ..... ۱۵

۲-۲-۳ اتصالات برنامه‌پذیر در Virtex-4 ..... ۲۰

۲-۲-۴ منابع مسیریابی سراسری، محلی و اختصاصی ۲۰

۲-۲-۵ برنامه‌ریزی FPGA ۲۱

۲-۲-۶ خواندن حافظه ساختاری ۲۲

۲-۳ مدل‌های خرابی ۲۲

۲-۳-۱ مدل خرابی چسبیده-به در سطح گیت ۲۳

۲-۳-۲ مدل خرابی چسبیده در سطح ترانزیستور ۲۳

۲-۳-۳ مدل خرابی پل زنی ۲۴

۲-۳-۴ مدل خرابی تاخیری ۲۵

۲-۴ ساختار کلی BIST ۲۵

فصل سوم: تست منابع منطقی ۲۷
۳-۱ ساختار Virtex-4 ..... ۲۷
۳-۲ ساختار BIST ۲۸
۳-۳ تولید الگوی تست و آنالیز پاسخ خروجی ۳۰
۳-۴ نحوه پیکربندی FPGA ۳۱
۳-۵ بازگرداندن نتایج ۳۲
۳-۶ ساختار BIST منابع منطقی برای Virtex-4 ..... ۳۳
فصل چهارم: تست منابع مسیریابی برنامه‌پذیر توسط BIST ۳۷
۴-۱ مدل‌های خرابی در BIST مسیریابی ۳۸
۴-۲ روش‌های BIST مسیریابی ۳۹
۴-۲-۱ روش شمارنده مقایسه‌ای ۴۰
۴-۲-۲ روش BIST بر مبنای Parity ۴۴
۴-۳ فرض‌های موجود در BIST های مسیریابی ۴۵
۴-۴ بازبینی روش‌های BIST مسیریابی بر اساس Parity ۴۶
۴-۵ روش برمبنای Parity ضربدری ۴۷
۴-۶ روش ترکیبی TPG/ORA برمبای LFSR ۴۸
۴-۶-۱ LFSR ۴بیتی با بازخورد داخلی ۴۸
۴-۶-۲ LFSR ۴بیتی با بازخورد خارجی ۴۹
۴-۶-۳ LFSR ۸ بیتی با بازخورد داخلی ۵۰
۴-۶-۴ LFSR ۸ بیتی با بازخورد خارجی ۵۰
۴-۷ روش ترکیبی TPG/ORA بر مبنای CAR ۵۱
۴-۷-۱ CAR ۴ بیتی با استفاده ازقاعده ۱۵۰ ..... ۵۱
۴-۷-۲ CAR ۸ بیتی با شرط مرزی چرخه‌ای ۵۲
۴-۷-۳ CAR ۸ بیتی دارای حداکثر طول ۵۲
۴-۸ انتخاب روش مناسب برای Virtex-4 ..... ۵۳
۴-۹ تست خطوط double برای ستون‌های از نوع PLB ۵۵

۴-۱۰ تست خطوط double متعلق به ستون‌های غیر PLB ۵۸
۴-۱۱ تست خطوط double برای خانواده Virtex-4 FX ۶۴
۴-۱۲ BIST برای خطوط سراسری hex ۶۵
۴-۱۲-۱ BIST برای خطوط hex شمالی وجنوبی ستون PLB ۶۶
۴-۱۲-۲ BIST برای خطوط hex شرقی و غربی ۷۲
۴-۱۲-۳ تست خطوط hex موجود در ستون‌های غیر PLB ۷۵
۴-۱۳ BIST برای خطوط سراسری Long ۸۲
۴-۱۳-۱ BIST برای خطوط Long عمودی مربوط به ستون PLB ۸۳
۴-۱۳-۲ BIST برای خطوط long افقی ۸۸
۴-۱۳-۳ BIST برای خطوط long عمودی ستون غیر PLB ۹۰
فصل ۵: خلاصه و نتیجه گیری ۹۳
فهرست منابع ۹۴

چکیده پایان‌نامه

برای داشتن ابزاری انعطاف‌پذیر که امکان پیاده‌سازی انواع مدارات دیجیتال روی آن امکان‌پذیر باشد FPGA[1] طراحی و ساخته شد. FPGA تراشه نیمه‌هادی قابل برنامه‌ریزی است که می‌توان با استفاده از آن طرح‌های دیجیتالی دلخواه را پیاده‌سازی نمود. در ابتدا به دلیل ساده و کوچک بودن طرح‌ها و همچنین عدم وجود تکنولوژی ساخت لازم، FPGA ها نیز ساده بودند و تست آن‌ها توسط تولیدکننده و مصرف‌کننده چندان کار پیچیده‌ای نبود و مدارهای خارجی برای تست FPGA ها به کار می‌رفتند.

با رشد علم و به طبع آن تکنولوژی و توسعه نیازها، FPGA ها نیز پیچیده‌تر شدند. به دلیل گران بودن مدارات تست‌کننده خارجی و نیز پیچیدگی FPGA های جدیدتر نیاز به ابزار کارآمدتری برای تست آن‌ها احساس می‌شد. لذا روش جدیدی به نام BIST[2] ابداع گردید. در این روش FPGA طوری برنامه‌ریزی می‌شود تا بتواند خود را تست نماید. عمل تست به دو قسمت اساسی تست PLB[3] ها و تست اتصالات(سیم‌ها) تقسیم می‌شود.

در این پایان‌نامه این دو موضوع را برای خانواده Virtex-4 از شرکت Xilinx با تاکید بیشتر بر تست اتصالات مورد بحث قرار داده‌ایم.

[1] Field Programmable Gate Array
[2] Built In Self Test
[3] Programmable Logic Block

فصل اول

معرفی

امروزه سهم مهمی از بازار IC متعلق به FPGA می‌باشد [۱]. FPGA ها کاربردهای وسیعی درزمینه‌های گوناگون دارند که برای نمونه می‌توان به کاربرد آن‌ها در پردازش سیگنال‌های دیجیتال، سیستم‌های فضایی، تشخیص صوت و غیره اشاره نمود [۱]. علاوه بر موارد فوق کاربرد مهم‌تر FPGA در زمینه ساخت نمونه اولیه[۱] از طرح دیجیتالی در فرایند تولید می‌باشد. چون طراحی بر اساس FPGA نیازی به ساخت IC ندارد(یک FPGA به راحتی با انجام یک طراحی دیجیتالی برنامه‌ریزی می‌گردد)، زمان و هزینه به شدت کاهش می‌یابد که این مسئله به نوبه خود منجر به محبوبیت کنونی FPGA ها برای طراحی محصول و ساخت نمونه اولیه شده است [۲].

به دلیل وجود تقاضای بالا در زمینه FPGA و پیشرفت روزافزون علم و نیاز به FPGA های قدرتمند این صنعت روز به روز در حال پیشرفت است. مانند هر سیستم دیگر FPGA ها در مرحله تولید باید تست شوند. علاوه بر این برای اینکه قابلیت اطمینان سیستم طراحی شده بر مبنای FPGA بالاتر رود، طراح نیز به ابزارهای تست نیازمند خواهد بود. هر پیشرفتی در زمینه طراحی مدارات مجتمع با تلاش‌ها و مسائل جدید در زمینه تست همراه خواهد بود [۳]. با پیشرفت روزافزون ساختار FPGA ها ابزارهای تست نیز باید گسترش یابند. هزینه و زمان دو فاکتور مهم و تعیین‌کننده در زمینه تست هستند. BIST روشی است که نیاز به فضای اضافی برای تعبیه کردن ادوات تست در درون چیپ و یا خارج از آن را از بین می‌برد و در مقایسه با روش‌های تست خارجی به زمان بسیار کمتری نیازمند است.

---

[۱] Prototyping

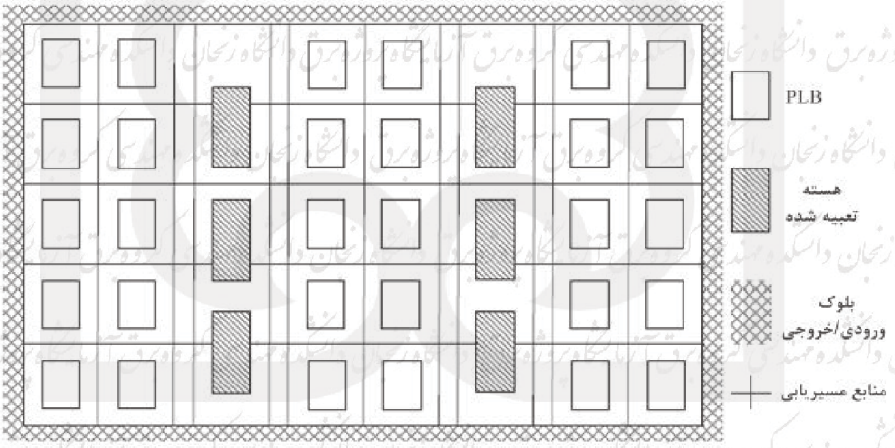
۱-۱ ساختار FPGA

FPGA ها ادوات منطقی برنامه پذیری هستند که می‌توانند برای انجام هر نوع عملیات دیجیتالی برنامه‌ریزی گردند. FPGA ها به دلیل انعطاف‌پذیری و سرعت بخشیدن به فرایند طراحی بسیار محبوب هستند.

برای برنامه ریزی یک FPGA ابتدا طرح مدار به کمک نرم‌افزار به رشته‌ای از بیت‌ها تبدیل می‌شود. سپس این رشته بیت‌ها درون حافظه ساختاری[1] FPGA قرار می‌گیرند [۳]. در FPGA های قدیمی برای تغییر طرح مدار باید کل حافظه ساختاری را دوباره برنامه‌ریزی نمود. اما FPGA های امروزی این قابلیت را دارند که بتوان قسمتی از حافظه ساختاری آن‌ها را تغییر داد که به این روش برنامه‌ریزی، برنامه‌ریزی تکه‌ای[2] می‌گویند [۴][۵].

یک FPGA از یک آرایه متشکل از PLB[3] ها، بلوک‌های ورودی/خروجی و هسته‌های تعبیه شده[4] مانند بلوک‌های حافظه، گیرنده وفرستنده‌های پرسرعت و پردازنده‌های سیگنال دیجیتال تشکیل شده است که بوسیله شبکه اتصال‌دهنده برنامه‌پذیر[5](منابع مسیریابی[6]) به **یکدیگر متصل می‌گردند.**

شکل ۱-۱ یک FPGA نوعی را نشان می‌دهد.



شکل ۱-۱ : ساختار کلی یک FPGA [۷]

[1] Configuration memory
[2] Partial reconfiguration
[3] Programmable Logic block
[4] Embedded core
[5] Programmable interconnect network
[6] Routing resources

PLB ها معمولا از گیت‌های منطقی، مالتی‌پلکسرها، فلیپ‌فلاپ‌ها و جداول مراجعه‌ای[1] (LUT) تشکیل شده‌اند و منابع منطقی یک FPGA را تشکیل می‌دهند. بلوک‌های ورودی و خروجی مدیریت انتقال سیگنال‌ها را بین PLB ها و پایه‌های فیزیکی FPGA بر عهده دارند [۷]. شبکه اتصال دهنده برنامه‌پذیر از قسمت‌های سیمی و سوئیچ‌های قابل برنامه‌ریزی تشکیل شده است. PLB ها و سیم‌ها می‌توانند برای ایجاد یک مدار منطقی دلخواه بوسیله سوئیچ‌ها به یکدیگر متصل گردند.

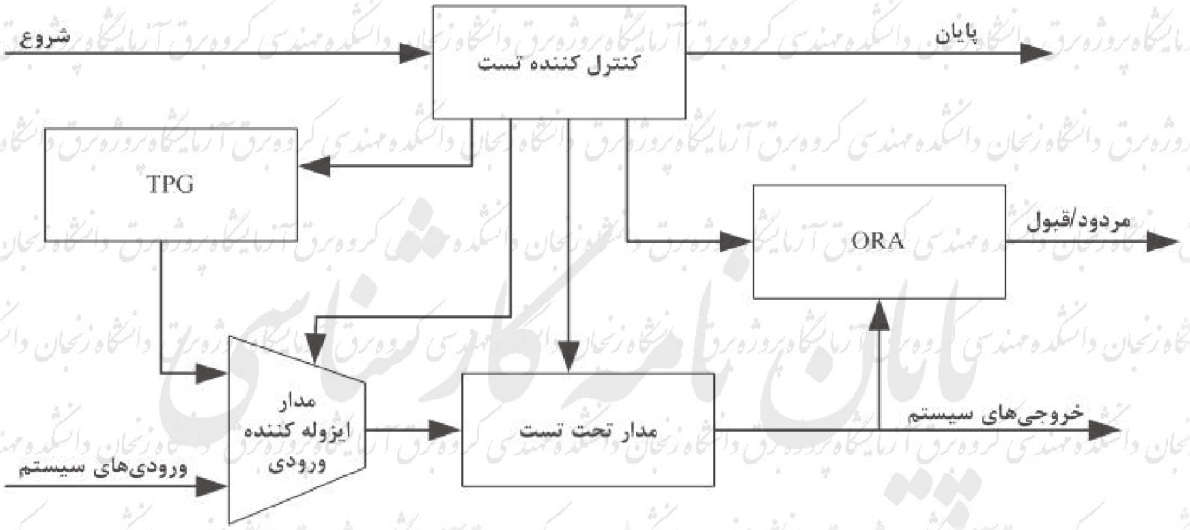
BIST ۱-۲

برای ارائه سیستم‌های الکترونیکی و مدارات مجتمع با کیفیت و بدست آوردن رضایت مشتریان توسط تولیدکنندگان و نیز برای بالا بردن هرچه بیشتر قابلیت اعتماد بردها و سیستم‌های الکترونیکی و استفاده از ساختارهای تحمل‌پذیر خطا[2] باید ابزاری برای تست آن‌ها یافت. می‌توان از مدارهای خارجی تست‌کننده برای این منظور استفاده کرد. این مدارها مدارهای با قابلیت اطمینان بسیار بالا هستند که ورودی‌هایی را به سیستم اعمال و خروجی‌هایی را بازدید می‌کنند و بر این اساس سالم یا معیوب بودن سیستم(چیپ) تعیین می‌شود. اما با به دلیل گران بودن این ادوات و پیچیدگی روزافزون سیستم‌های الکترونیکی بویژه چیپ‌ها این روش عملا قابل استفاده نخواهد بود. لذا نیاز به ساختاری انعطاف‌پذیرتر و قدرتمندتر وجود دارد. روش BIST به دلایل فوق ایجاد و گسترش یافته است.

BIST سبکی است که می‌تواند در همه سطوح چیپ، مدار و سیستم مورد استفاده قرار گیرد. ساختار کلی BIST مانند بلوک دیاگرام شکل ۲-۱ است.

این ساختار دارای دو بلوک اساسی و دو بلوک اضافی(جانبی) می‌باشد [۸]. TPG[3] و ORA[4] دو بلوک اساسی می‌باشند. در حالی که TPG در حال تولید پی‌رفتی از الگوهای تستی برای تست CUT (مدار تحت تست)[5] می‌باشد ORA در حال بررسی خروجی مدار است و خروجی مدار تحت تست را به سیگنال‌هایی به صورت مردود/قبول در می‌آورد [۸].

[1] Look-up table
[2] Fault tolerance
[3] Test Pattern Generator
[4] Output Response Analyzer
[5] Circuit under test



شکل ۲-۱ : بلوک دیاگرام کلی ساختار BIST

دو بلوک جانبی که برای استفاده از ساختار BIST در سطح سیستمی به کار می‌روند مدار ایزوله کننده ورودی و کنترل کننده تست هستند. مدار کنترل‌کننده تست وظیفه کنترل روند تست و مدار ایزوله کننده برای انتخاب خروجی TPG در وضعیت تست و ورودی‌های سیستم در حالت عادی کار مدار به کار می‌رود [۸].

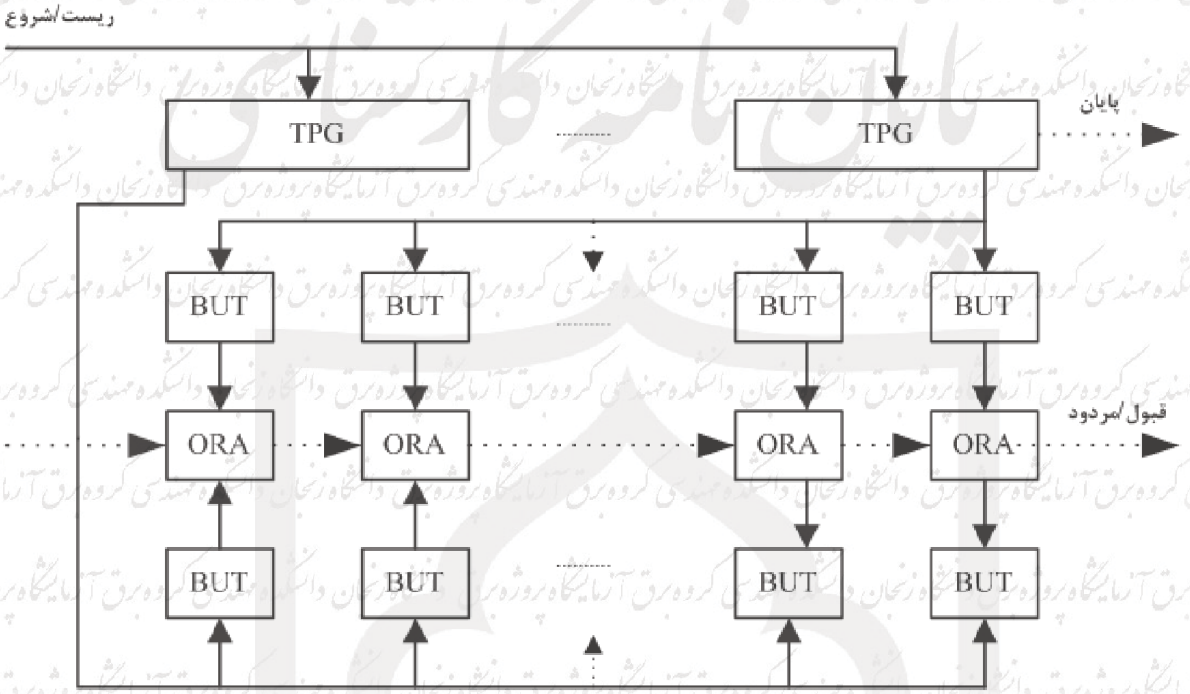
سیگنال شروع برای خارج کردن مدار از حالت کار عادی و شروع عملیات BIST می‌باشد. سیگنال جانبی پایان نیز نشان‌دهنده اتمام عملیات تست و معتبر بودن نتایج BIST می‌باشد و مشخص می‌کند نتایج قابل استفاده بوده ومی‌توانند برای مشخص کردن سالم و یا معیوب بودن مدار تهت تست به کار روند.

۳-۱ BIST برای FPGA

FPGA ها به دلیل قابل برنامه‌ریزی بودن منابع داخلی می‌توانند به حالت‌های گوناگون برنامه‌ریزی گردند و این امر تست کردن آن‌ها را مشکل می‌کند. اما از سوی دیگر همین قابلیت برنامه‌ریزی باعث می‌شود تا بتوان FPGA ها را طوری برنامه‌ریزی کرد که قادر به تست خود شوند [۸].

یکی از کاربردهای مهم BIST استفاده از آن برای تست FPGA می‌باشد. استراتژی اصلی در این زمینه برنامه‌ریزی FPGA به صورتی است که تعدادی از PLB ها به صورت TPG

و ORA و بقیه به صورت بلوک تحت تست(BUT)[1] همان‌گونه که در شکل ۳-۱ نشان داده شده است برنامه‌ریزی گردند [۶]. سپس BUT ها در مدهای مختلف کاری قرار داده می‌شوند تا به طور کامل آزمایش گردند.



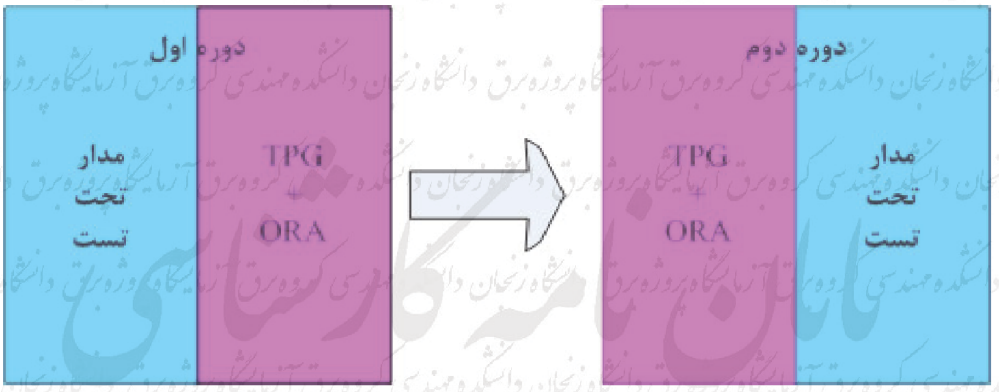
شکل ۳-۱ : نحوه پیکربندی FPGA در روش BIST

برای تست منابع مسیریابی نیز از پیکربندی بالا استفاده می‌شود با این تفاوت که به جای بلوک های تحت تست سیم‌های تحت تست[2] قرار می‌گیرند. به فرایند تست که برای یک ساختار خاص(در یکی از مدهای کاری) انجام می‌شود فاز تست[3] و به گروهی از فازهای تست که منجر به تست کامل یک PLB می‌گردند دوره تست[4] گفته می‌شود. هر فاز تست شامل گام‌های مقابل است: ۱-برنامه‌ریزی FPGA ۲-آغاز تست ۳-تولید الگوی تست ۴-آنالیز کردن پاسخ‌های خروجی ۵-خواندن نتایج.

برای اینکه زمان لازم برای عمل تست حداقل گردد باید در هر دوره تست نصف PLB ها آزمایش شوند تا در دو دوره تست(که حداقل تعداد ممکن است) تمام PLB ها مورد آزمون قرار گیرند. برای این کار ستون‌های FPGA را در دونوبت به صورت شکل ۱-۴ برنامه‌ریزی می‌کنیم.

---

[1] Block Under Test
[2] Wires Under Test(WUTs)
[3] Test phase
[4] Test session



شکل ۱-۴ : دوره‌های برنامه‌ریزی FPGA

BIST در FPGA ها هیچگونه مشکل اتلاف فضا یا کاهش بازدهی را ایجاد نخواهد کرد زیرا به راحتی پس از انجام تست می‌توان مدارات مربوط به BIST را با مدارات سیستمی جایگزین نمود. بخش اعظم FPGA از منابع منطقی و مسیریابی تشکیل شده است [۹] و به همین دلیل بیشتر تحقیقاتی که در زمینه BIST انجام شده مربوط به همین دو مورد است. به دلیل اهمیت موضوع در این پایان نامه نیز به بررسی مدارات مربوط به تست این دو قسمت (با تاکید بیشتر بر تست منابع مسیریابی) پرداخته‌ایم.

۱-۴ FPGA های Virtex-4

در این پایان‌نامه برای درک بهتر موضوع ساختارهای BIST برای FPGA های خانواده Virtex-4 متعلق به شرکت Xilinx مورد بررسی قرار گرفته‌اند. این FPGA ها آرایه‌های گیتی قابل برنامه ریزی هستند که به منظور طراحی با چگالی و بازدهی بالا ساخته شده‌اند [۱۰]. این FPGA ها علاوه بر دارا بودن چگالی عظیمی از PLB ها دارای حافظه RAM و پردازنده سیگنال دیجیتال هستند.

۱-۵ شرح پایان‌نامه

این پایان‌نامه به هر دو جنبه تست یک FPGA یعنی تست منابع منطقی و نیز تست منابع مسیریابی(با تاکید بیشتر بر تست منابع مسیریابی) می‌پردازد. برای تست کامل FPGA باید هر دو منبع به طور جداگانه مورد آزمایش قرار گیرند. در تمام کارهای پیشین به طور ضمنی فرض شده است که در هنگام آزمایش یکی از منابع، دیگری بدون خرابی است.

ما در بررسی‌های خود روش‌های مختلف موجود را بررسی کرده و با توجه به توانایی تشخیص خرابی‌ها و زمان مورد نیاز برای تست توسط این روش‌ها، بهترین روش را انتخاب خواهیم کرد. برای بهبود سرعت روش‌ها از امکانات Virtex-4 ، از جمله قابلیت برنامه‌ریزی تکه‌ای استفاده خواهیم کرد.

مابقی پایان‌نامه به صورت مقابل سازمان داده شده است: در فصل۲ پیش‌زمینه‌هایی که برای درک بهتر موضوع مورد نیاز هستند ارائه شده‌اند. فصل۳ به بررسی روش‌های مختلف تست منابع منطقی می‌پردازد. فصل۴ به ارائه ساختارهای مربوط به تست منابع مسیریابی اختصاص دارد. در نهایت با جمع‌بندی در فصل۵ پایان‌نامه را به پایان خواهیم برد.

دانشجویان محترم:

جهت دسترسی به متن کامل پایان نامه‌ها به کتابخانه دانشکده مهندسی و یا آزمایشگاه پروژه گروه برق مراجعه فرمایید.

فصل ۵

خلاصه و نتیجه گیری

در این پایان‌نامه ساختار FPGA مورد بررسی قرار گرفت و مشاهده گردید که یک FPGA از دو منبع منطقی و مسیریابی تشکیل شده است. ساختار BIST معرفی شد و انواع خرابی‌های منطقی مورد بررسی قرار گرفت. سپس نحوه تست منابع منطقی FPGA به طور خلاصه مورد بحث قرار گرفت. همچنین روش‌های گوناگون برای تست منابع مسیریابی سراسری FPGA معرفی و بهترین روش از بین آن‌ها انتخاب گردید.

در تمامی قسمت‌های این پایان‌نامه برای فهم بهتر موضوع و مفیدتر بودن مطالب، ساختارها طوری انتخاب شده‌اند که برای استفاده در FPGA های خانواده Virtex-4 از شرکت Xilinx مناسب باشند.

فهرست منابع

[1] S. Brown, R. Francis, J. Rose, and Z. Vranesic, Field-Programmable Gate Arrays, Boston, MA: Kluwer Academic Publishers, 1992.

[2] Chmelař, Erik: The Test And Diagnosis Of FPGAs, Stanford University, 2004.

[3] Dhingra, Sachin: Built-In Self-Test Of Logic Resources In Field Programmable Gate Arrays Using Partial Reconfiguration, Auburn University, 2006.

[4] J.M. Rabaey, A. Chandrakasan, B. Nikolić, Digital Integrated Circuits: A Design Perspective, 2nd Edition, Pearson Education, 2003.

[5] __, "Two Flows for Partial Reconfiguration: Module Based or Difference Based", Application Note XAPP290, Xilinx Inc., 2004.

[6] M.Abramovici, C. Stroud, " BIST-Based Test and Diagnosis of FPGA Logic Blocks ", IEEE Trans. on VLSI Systems, Vol. 9,No. 1, pp. 159-172, 2001.

[7] Yao, Jia: BUILT-IN SELF-TEST OF GLOBAL ROUTING RESOURCES IN VIRTEX-4 FPGAS, Auburn University, 2009.

[8] C. Stroud, A Designer's Guide to Built-In Self-Test, Kluwer Academic Publishers, Boston MA, 2002.

[9] J. Rose, A.E. Gamal, A. Sangivanni-Vincentelli, "Architecture of Field-Programmable Gate Arrays", Proc. of IEEE, Invited Paper, pp. 1013-1029, 1993.

[10] __, "Virtex-4 Family Overview", Product Specification DS-112, Xilinx Inc., 2007.

[11] B. Dixon, "Built-In Self-Test of The Programmable Interconnect In Field Programmable Gate Arrays," Auburn University, 2008.

[12] C. Stroud, K. Leach, T. Slaughter, "BIST for Xilinx 4000 and Spartan Series FPGAs: A Case Study", Proc. of Intn'l Test Conf., pp. 1258-1267, 2003.

[13] Xilinx, Inc., The Programmable Logic Data Book. Xilinx, Inc., San Jose, CA, 2002.

[14] M.J.S. Smith, *Application Specific Integrated Circuits,* Addison-Wesley, 1997.

[15] __, "Virtex-4 User Guide", UG070, Xilinx Inc., 2008

[16] C. Stroud, J. Nall, M. Lashinsky, and M. Abramovici, "BIST-Based Diagnosis of FPGA Interconnect," *Proc. IEEE International Test Conf.*, pp. 618-627, 2002

[17] "Xilinx Delivers Virtex-4 FPGAs", Xilinx Press Release #0480, www.xilinx.com.

[18] "Xilinx Corp FPGA Editor Software Manual", Software Manual 9.2i, Xilinx, Inc. ,2005.

[19] __, "Virtex-4 Configuration Guide", UG071, Xilinx Inc., 2005

[20] S. Garimella, "Built-In Self-Test for Regular for Regular Structure Embedded Cores in System-on-Chip", Master's Thesis, Auburn University, 2005

[21] C. Stroud, S. Garimella, "Built-in Self-test and Diagnosis of Multiple Embedded Cores in SoCs", Proc. of Intn'l Conf. on Embedded Systems and Applications, pp.
130-136, 2005.

[22] A. Newalkar, "Alternative Techniques for Built-In Self-Test of Field Programmable Gate Arrays", Master's Thesis, Auburn University, 2005.

[23] S. Gupta, J. Rajski, J. Tyszer, "Test Pattern Generation Based on Arithmetic Operations", Proc. of Intn'l Conf. on Computer-Aided Design, pp. 117-124, 1994

[24] L. Wang, C. Stroud, and N. Touba, *System On Chip Test Architectures: Nanometer Design for Testability*, Amsterdam: Elsevier, 2007.

[25] C. Stroud, J. Bailey, J. Emmert, D. Nickolic, and K. Chhor, "Bridging Fault Extraction from Physical Design Data for Manufacturing Test Development," *Proc. IEEE International Test Conf.*, pp. 760-769, 2000.

[26] V. Suthar and S. Dutt, "Mixed PLB and Interconnect BIST for FPGAs Without Fault-Free Assumptions," *Proc. IEEE VLSI Test Symp.*, pp. 36-43, 2006.

[26] J. Sunwoo and C. Stroud, "Built-In Self-Test of Configurable Cores in SoCs Using Embedded Processor Dynamic Reconfiguration," *Proc. International System-on-Chip Design Conf.*, pp. 174-177, 2005

[27] S. Dhingra, S. Garimella, A. Newalkar, and C. Stroud, "Built-In Self-Test for Virtex and Spartan II FPGAs Using Partial Reconfiguration," *Proc. IEEE North Atlantic Test Workshop*, pp. 7-14, 2005.

[28] C. Stroud, S. Wijesuriya, C. Hamilton, and M. Abramovici, "Built-In Self-Test of FPGA Interconnect," *Proc. IEEE International Test Conf.*, pp. 404-411, 1998.

[29] B. Dixon and C. Stroud, "Analysis and Evaluation of Routing BIST Approaches for FPGAs," *Proc. IEEE North Atlantic Test Workshop*, pp. 85-91, 2007

[30] X. Sun, J. Xu, B. Chan, and P. Trouborst, "Novel Technique for Built-In Self-Test of FPGA Interconnects," *Proc. IEEE International Test Conf.*, pp. 795-803, 2000